

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-108339

(43)Date of publication of application : 19.05.1987

(51)Int.Cl.

G06F 11/30  
G05B 9/02

(21)Application number : 60-249178

(71)Applicant : NIPPON DENSO CO LTD

(22)Date of filing : 06.11.1985

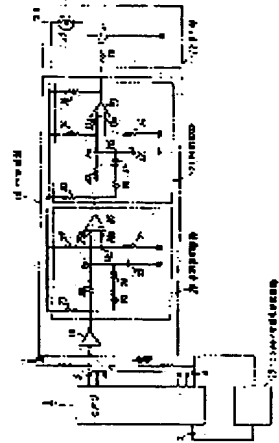
(72)Inventor : KOBAYASHI KIYOTAKA

## (54) ABNORMALITY MONITORING DEVICE FOR ELECTRONIC CIRCUIT

### (57)Abstract:

**PURPOSE:** To raise an alarm by executing the alarm in case when an abnormal state signal has been generated by a prescribed number of times or more in a prescribed period, when an electronic circuit containing a CPU is abnormal, and detecting a generation state of intermittent abnormality in case when the electronic circuit is abnormal partially.

**CONSTITUTION:** An abnormality signal outputted from a CPU 1 is applied to a deciding circuit 18, and applied to the first integration circuit of a waveform shaping circuit 20 through a inverter 19. An output wave of an operational amplifier 26 outputs a constant and continuous wave of high lever to a discriminating circuit 21 during an integral wave  $VS1 < a$  threshold value  $VC1$ . In the discriminating circuit 21, the signal is applied to the second integration circuit, an output wave of an operational amplifier 33 outputs a high-level signal during an integral wave  $VS2 > a$  threshold value  $VC2$ . In a display part 22, the high-lever signal from the deciding circuit 18 is inputted to a transistor 37 through an input resistance 36, the transistor 37 becomes on, and a lamp 38 is lighted. Accordingly, when a signal of intermittent abnormal state is outputted from an output terminal 4 of the CPU 1, an intermittent abnormality signal from an abnormality output terminal 5 is decided, and can be displayed as a continuous constant wave.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

昭62-108339

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)5月19日

G 06 F 11/30  
G 05 B 9/02

7343-5B  
A-6728-5H

審査請求 未請求 発明の数 1 (全7頁)

⑰ 発明の名称 電子回路の異常監視装置

⑱ 特 願 昭60-249178

⑲ 出 願 昭60(1985)11月6日

⑳ 発 明 者 小 林 清 孝 刈谷市昭和町1丁目1番地 日本電装株式会社内  
㉑ 出 願 人 日本電装株式会社 刈谷市昭和町1丁目1番地  
㉒ 代 理 人 弁理士 足 立 勉

#### 明 細 書

##### 1 発明の名称

電子回路の異常監視装置

##### 2 特許請求の範囲

電子回路の中に含まれ、該電子回路の異常時に所定の定レベル異常信号又は断続信号を出力するCPUと、

該CPUから出力される上記断続信号が所定期間以上断続されたときに断続異常信号を出力する断続信号判定手段と、

上記CPUが所定の定レベル異常信号を出力しているとき、又は上記断続信号判定手段から断続異常信号が出力されたときのいずれかである場合に警報をする警報手段と、

を備えたことを特徴とする電子回路の異常監視装置。

##### 3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マイクロコンピュータを使った電子回路の異常を監視して外部に表示する装置に関し、

例えば自動車に用いられている電子回路の異常監視装置に関する。

〔従来技術〕

電子回路、例えばマイクロコンピュータを用いた自動車用エンジン制御回路では、自動車の運行上の安全性を確保するため、該マイクロコンピュータが異常になった場合に、他の補償装置を動かしていた。そのため、該コンピュータの異常を運転者が知らずに過ごして、エンジンの不調等を招く場合があった。そこで従来は第7図に示すようなマイクロコンピュータの異常を運転者に警報する装置WSを設けて、異常に対しての改善を運転者に喚起していた。該第7図に示す従来の警報装置WSでは、まずマイクロコンピュータ(以下CPU)Aからの出力信号Bが異常検出回路Cに加えられている。該異常検出回路Cでは、第8図に示すCPU(A)正常時の断続波出力信号Bが加えられた場合には、低レベル一定の出力波Dが出力され、一方、第8図の時点Taから時点Tc間のCPU(A)異常時の高レベル一定である出力

信号Bが加えられた場合には、時点T<sub>a</sub>の所定時間後の時点T<sub>b</sub>から時点T<sub>c</sub>間に高レベル一定の出力波Dが出力される。該出力波Dは上記CPU(A)のイニシャライズ信号入力ポートに入力される。該CPU(A)では、正常時の低レベル一定の出力波Dが入力された場合には、CPU(A)の出力ポートEが低レベル一定になり、一方、異常時の高レベル一定の出力波Dが入力された場合には、CPU(A)の出力ポートEが高レベル一定になる。次に、該CPU(A)の出力ポートEの状態が入力抵抗Fを介してトランジスタGに加えられている。該トランジスタGでは、上記出力ポートEが低レベルの場合に、ランプHへの電流を「オフ」にして、一方、上記出力ポートEが高レベルの場合に、ランプHへの電流を「オン」にして点灯する動作が行なわれる。したがって、本従来の警報装置WSでは、CPU(A)の異常時にランプHの点灯を行なって警報が行なわれていた。

【発明が解決しようとする問題点】

該CPU(M2)から出力される上記断続信号が所定回数に所定回数以上断続されたときに断続異常信号を出力する断続信号判定手段M3と、

上記CPU(M2)が所定の定レベル異常信号を出力しているとき、又は上記断続信号判定手段M3から断続異常信号が出力されたときのいずれかである場合に警報をする警報手段M4と、

を備えたことを特徴とする電子回路の異常監視装置を要旨とする構成をとる。

上記断続信号判定手段M3とは、例えば上記CPU(M2)にて行なわれる処理と電子回路とを組み合わせ断続信号の判定を行なうもの、又は上記CPU(M2)では処理を行わず該CPU(M2)の出力のみを用いて断続信号の判定を行なう電子回路である。

上記警報手段M4とは、例えば音響装置又は光学的表示装置を用いて警報を発するものである。  
【作用】

本発明を用いることで、電子回路M1に発生した異常が所定の定レベル異常信号又は所定時間に

そこで、上記従来の警報装置WSでは、CPU(A)からの信号が長時間継続する場合には、つまりイニシャライズ信号入力ポートに加えられる出力波Dが時点T<sub>b</sub>から時点T<sub>c</sub>間に示すように長時間にわたって断続的に出力された場合には、この出力を受けてCPU(A)の異常を警報するランプHを点灯し、異常を警報できる。

しかし、時点T<sub>c</sub>以降に続いている異常、すなわち、プログラムの一部に異常があって、異常信号が断続的に出力されるときには、CPU(A)にて出力される異常状態をしめす出力の時間が短かすぎるため、該出力を受けて駆動されるランプHの点灯時間が短かすぎて異常を認識できない問題があった。

【問題点を解決するための手段】

上記問題点を解決する手段として第1図に示すように、

電子回路M1の中に含まれ、該電子回路M1の異常時に所定の定レベル異常信号又は断続信号を出力するCPU(M2)と、

所定回数以上断続する信号にてCPU(M2)から発生している断続異常信号の場合のいずれかである場合に警報が発せられる。したがって、従来は認識のできなかったCPU(M2)からの断続異常信号が認識のできる信号に変えられて、該信号にもとづいて警報される。

以下実施例について説明するが、本発明の実施例はこれに限るものではなく、要旨を逸脱しない範囲で種々の態様で実施可能である。

【実施例】

第2図は第1実施例の構成図であり、第3図はそのタイミングチャートである。以下、該構成図、およびタイミングチャートにしたがって説明する。

1はCPUであって、イニシャライズ信号入力端子2、および出力端子3を備えている。4は該出力端子3の中の1つの出力端子であって、正常時には第3図の時点T<sub>0</sub>から時点T<sub>1</sub>間にしめす断続信号を出力し、一方、異常時には時点T<sub>1</sub>から時点T<sub>3</sub>間にしめす低レベルの一定出力をするものである。該出力端子4から出力される信号は、

イニシャライズ信号発生回路10を介して、イニシャライズ信号に変換され、時点T1の所定時間後である時点T2から時点T3間、該イニシャライズ信号がイニシャライズ信号入力端子2に加えられている。該イニシャライズ信号発生回路10では、CPU1の異常をしめす低レベルの一定信号を入力することによりイニシャライズ信号を発生するものである。

上記CPU1は上記イニシャライズ信号にて、時点T2でイニシャライズされ、その後該イニシャライズ信号が非イニシャライズレベルになった時点T3で再起動され、再び出力端子4から断続波を出力する。したがって、再起動後再び異常になった場合には、時点T4から時点T8間にしめすように正常と異常とを繰り返すことになる。一方、出力端子3の所定の異常出力端子5では、上記イニシャライズ信号入力端子2にイニシャライズ信号が加えられている間、高レベルの異常信号が出力される。

該CPU1から出力される異常信号は、判定回

路18に加えられる。該判定回路18は、上記異常信号をインバータ19を介して波形整形回路20に加えて波形整形して、その後判別回路21にて表示部22への駆動信号の「オン」又は「オフ」を判別する構成である。上記波形整形回路20は、まず上記インバータ19を介した異常信号を抵抗23、ダイオード24、およびコンデンサ25から構成されている積分回路へ加えて第1積分波 $V_{s1}$ に変換して、コンパレータを構成するオペアンプ26の-入力端子26aに加えている。該オペアンプ26の+入力端子26bには、第1閾値設定抵抗27にて設定される第1閾値 $V_{c1}$ が加えられている。上記 $V_{s1}$ および $V_{c1}$ の入力しているオペアンプ26の出力波は第3図に示すように、 $V_{s1} < V_{c1}$ の条件を満たしている間高レベルになっている。この動作の結果、時点T4から時点T6間の異常出力端子5の断続波が時点T4から時点T7間にしめす高レベル一定の連続波に変換されて波形整形回路20から出力されて、判別回路21に加えられている。

次に、判別回路21では、上記波形整形回路20からの異常信号を抵抗30、ダイオード31、およびコンデンサ32から構成されている第2積分回路へ加えて第2積分波 $V_{s2}$ に変換して、コンパレータを構成するオペアンプ33の+入力端子33aに加えている。該オペアンプの-入力端子33bには、第2閾値設定抵抗34にて設定される第2閾値 $V_{c2}$ が加えられている。上記 $V_{s2}$ および $V_{c2}$ の入力しているオペアンプ33の出力波は第3図に示すように、 $V_{s2} > V_{c2}$ の条件を満たしている間高レベルになっている。この動作の結果、上記波形整形回路20の高レベル一定の連続波が上記第2積分回路の定数と第2閾値 $V_{c2}$ とから定められる遅延時間 $t_{h2}$ 以上継続した部分に対して、表示部22を駆動するための高レベル信号を出力する。上記表示部22では該判定回路18からの高レベル信号を入力抵抗36を介してトランジスタ37に入力すると、該トランジスタ37が「オン」になってランプ38へ電流を通して、表示を行なう。

したがって、本実施例では時点T4から時点T8間に示す断続的異常状態の信号がCPU1の出力端子4から出力された場合に、異常出力端子5から出力される断続的異常信号を判定して時点T5から時点T7間にしめすように連続一定波として表示することができる。結果として、運転者がCPU1の異常を認識できる信号になる。

なお、連続的異常状態をしめす連続的低レベル信号がCPU1の出力端子4から出力された場合にも、連続一定波として表示することができる。

次に、第2実施例を説明する。本実施例は上記第1実施例と同一の作用をするものであるが、上記波形整形回路20の動作をソフトウェアで行なうものである。該実施例の構成は、第4図に示す様にCPU1、イニシャライズ信号発生回路10、判別回路21、表示部22、およびROM50からなる。該CPU1では、CPU1の異常状態時にイニシャライズ信号発生回路10から出力されるイニシャライズ信号にて、CPU1のイニシャライズ後、まず第5図に示すROM50に記憶さ

れているタイマルーチンがスタートする。該タイマルーチンでは、イニシャライズ信号入力になくなった時点から、所定時間 $t_s$ (ステップ100)上記異常出力端子5から出力される異常信号を高レベルにする処理を行ない(ステップ110)、一方、 $t_s$ をこえた時点で該異常出力端子5から出力される異常信号を低レベルにする処理を行なう(ステップ120)。

上記タイマルーチンにて処理後の上記異常出力端子5からは、第6図に示すように、イニシャライズ信号入力端子2に時点 $T_{10}$ から時点 $T_{11}$ にしめすイニシャライズ信号が入ったときに、該イニシャライズ信号の継続時間 $t_1$ に所定時間 $t_s$ の付加された異常信号が時点 $T_{10}$ から時点 $T_{12}$ 間に出力される。一方、時点 $T_{13}$ から時点 $T_{17}$ 間に一例を時点 $T_{14}$ から時点 $T_{15}$ 間にしめす非イニシャライズ信号入力時間 $t_2$ が $t_2 < t_s$ の条件を満足して、断続的にイニシャライズ信号入力端子2に入ったときには、異常出力端子5から異常高レベル信号が時点 $T_{13}$ から時点 $T_{18}$ 間に出力される。

#### 4 図面の簡単な説明

第1図は本発明の基本的構成の一例を示す構成図、第2図は第1実施例の構成図、第3図は第1実施例のタイミングチャート、第4図は第2実施例の構成図、第5図は第2実施例のタイマルーチンのフローチャート、第6図は第2実施例のタイミングチャート、第7図は従来例の構成図、第8図は従来例のタイミングチャートである。

M1…電子回路            M2…CPU  
M3…断続信号判定手段  
M4…警報手段  
1…CPU                18…判定回路  
21…判別回路        22…表示部  
50…ROM

代理人 井理士 足立 勉

該異常出力端子5からの異常信号を入力する判別回路21では、第1実施例と同様に該異常信号に応じて変化する第3検分放 $V_{s3}$ と第3閾値 $V_{o3}$ とを比較して、 $V_{s3} > V_{o3}$ の条件が満足された場合に、時点 $T_{16}$ から時点 $T_{18}$ 間にしめす高レベル信号を出力して表示部22にランプ38を点灯させる動作を行なう。

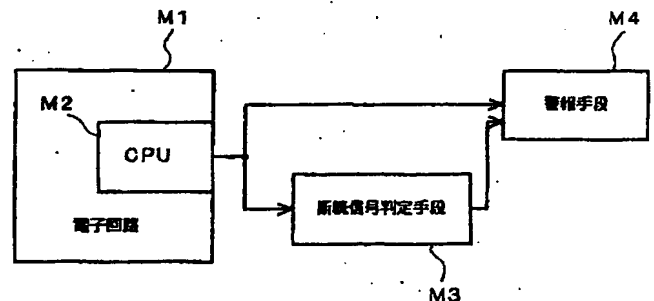
したがって、本実施例では第1実施例と同様に所定時間に所定回数以上断続的に異常と正常とを繰り返すCPU1の異常を表示して警報することができる。

#### 【発明の効果】

本発明を用いることで、CPU(M2)を含む電子回路M1の異常時に、該異常状態をしめす信号が所定期間に所定回数以上あった場合に、警報を行なうことができる。

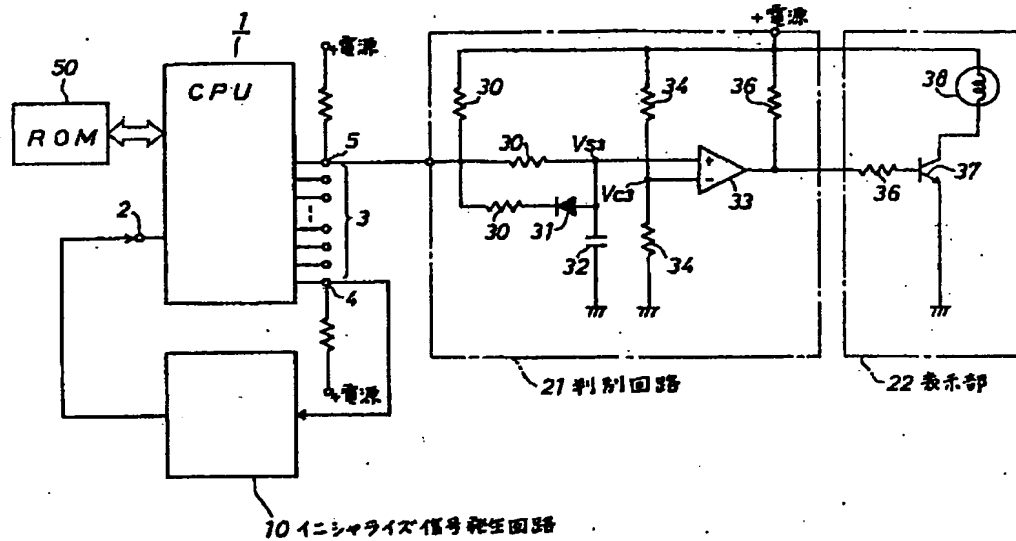
したがって、従来は警報を行なうことができなかった電子回路M1の一部異常時における断続的異常の発生状態を検出して警報を行なうことができることから、該異常の放散を防止できる。

第1図

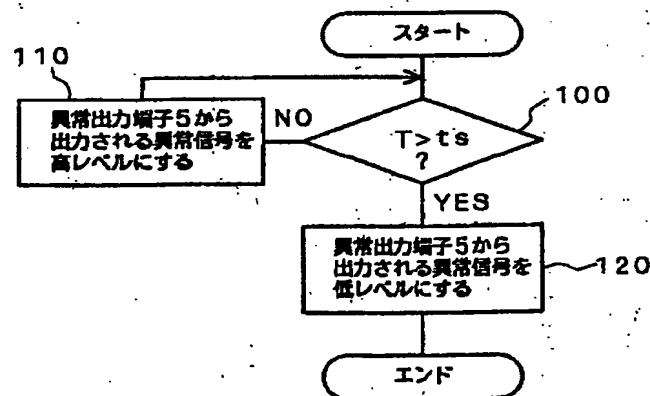




第4図

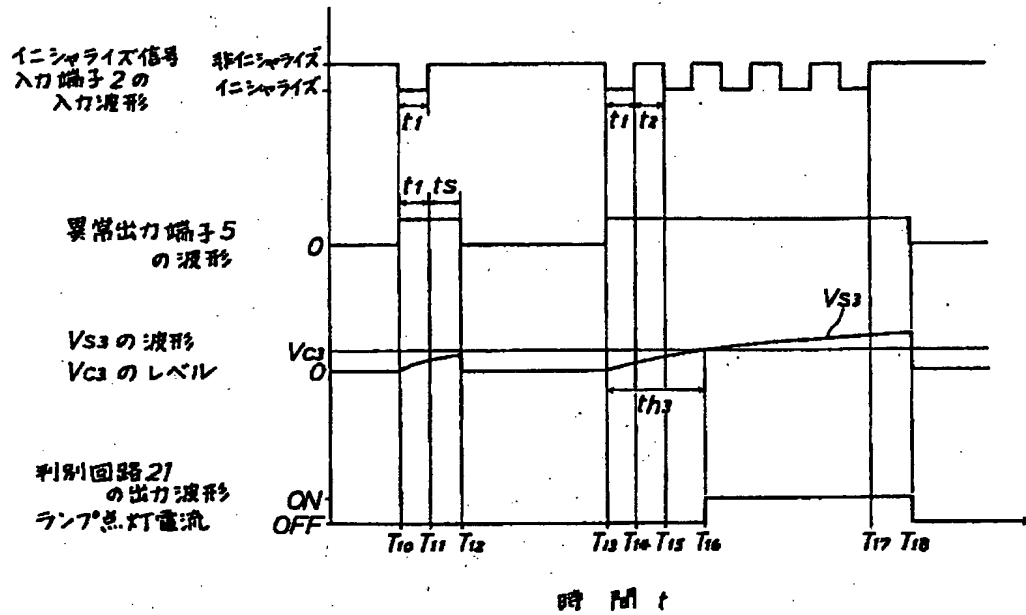


第5図

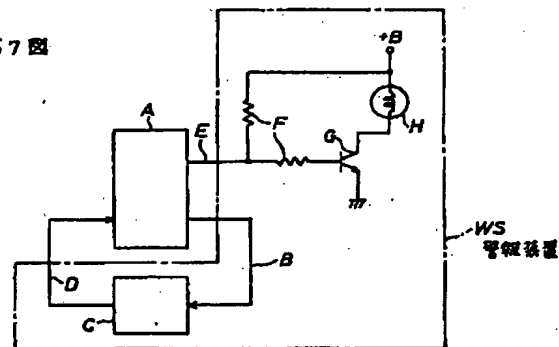




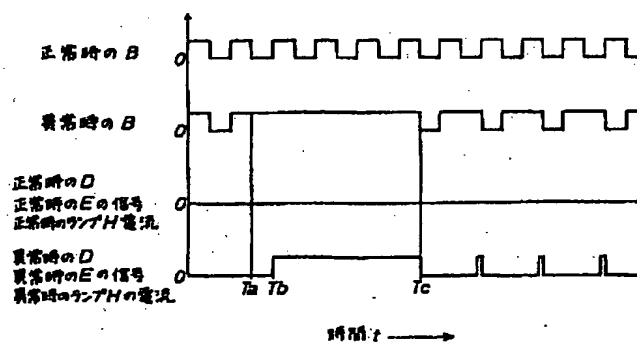
第6図



第7図



第8図



THIS PAGE BLANK (USPTO)